

Japanese Patent Application Publication
Tokukaisho No. 63-261325 A (1988)

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

(F) Embodiment

With reference to the attached drawings, an embodiment of the present invention is described as follows.

Fig. 1 is a circuit diagram illustrating a device of the present embodiment. The same numerals are given to parts identical to those illustrated in Fig. 3, and explanations thereof will be omitted.

Counter electrodes (4a), (4b), ... (4n) of the present embodiment are divided so that each group thereof corresponds to each row, and the respective counter electrodes are connected to a voltage setting circuit (8). The voltage setting circuit (8) includes: a voltage divider (8a) having resistors (R₁) to (R₁₀); analog switches (S₁) to (S₆) controlled by a switching signal which is inverted in each field or by an inversion signal thereof; and an inverter (INV) for inverting the switching signal.

A terminal (VH) of the voltage divider (8a) is connected to +5V, and a terminal (VL) of the voltage divider (8a) is connected to -5V, and a voltage of a junction (P₁) between the resistors (R₁) and (R₂) is -2.0V, and a voltage of a junction (P₂) between the resistors (R₂) and (R₃) is -2.1V, and a voltage of a junction (P₃) between the resistors (R₄) and (R₅) is -3.0V, and a voltage of a junction (P₄) between the resistors (R₆) and (R₇) is +2.0V, and a voltage of a junction (P₅) between the resistors (R₇) and (R₈) is +2.1V, and a voltage of a junction (P₆) between the resistors (R₉) and (R₁₀) is +3.0V.

Next, with reference to Fig. 2, how the device of the present embodiment operates is described as follows.

The switching signal is, for example, high in an odd-numbered field and low in an even numbered field, and analog switches (S_1), (S_2), and (S_3) are on in the odd numbered field, and analog switches (S_4), (S_5), and (S_6) are on in the even numbered field. Further, the junction (P_1) is connected to a common electrode (4a) of the first row in the odd numbered field, and the junction (P_4) is connected to the common electrode (4a) of the first row in the even numbered field, and a voltage waveform (VT_1) whose amplitude is $4.0V_{p-p}$ is applied to the common electrode (4a).

Further, a voltage waveform (VT_2) whose amplitude is $4.2V_{p-p}$ is applied to a common electrode (4b) of the second row, and a voltage waveform (VT_N) whose amplitude is $6.0V_{p-p}$ is applied to a common electrode (4n) of the N-th row.

Thus, even if a counter electrode potential changes while a voltage applied to the liquid crystal cell (1) is maintained, an average of an effective value of the voltage applied to the liquid crystal cell (1) does not decrease since a counter electrode of a lower row has a larger amplitude. As a result, a luminance of a lower portion of the screen does not decrease.

Note that, the counter electrodes of the present embodiment are divided so that each group thereof corresponds to each row, but the counter electrodes may be divided so that each group thereof corresponds to every several rows so as to decrease the number of the groups.

(G) Effect of the invention

According to the present invention as described above, a luminance of the lower portion of the screen does not decrease and luminances of the entire screen are even, so that it is possible to realize a liquid crystal television device having high

Page 3
image quality.

Tokukaisho No. 63-261325 A

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-261325

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月28日

G 02 F 1/133
G 09 G 3/36
H 04 N 5/66

3 3 2
1 0 2

8708-2H
8621-5C
B-7245-5C

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 液晶表示装置

⑯ 特 願 昭62-96498

⑰ 出 願 昭62(1987)4月20日

⑱ 発 明 者 黒 田 充 宏 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 発 明 者 丸 下 裕 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑳ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
㉑ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) マトリクス状に配された液晶セルと、この液晶セル毎に設けられ各液晶セルの一方の電極に接続された電界効果トランジスタと、前記マトリクスの各列毎に前記電界効果トランジスタの入力電極に共通接続され、所定周期で反転する映像信号が印加される複数のX電極と、前記マトリクスの各行毎に前記電界効果トランジスタのゲートに共通接続された複数のY電極と、前記液晶セルの他方の電極に接続され前記所定周期で変化する電圧が印加される対向電極とを有する液晶表示装置において、前記対向電極に印加する電圧の長巾を列方向において順次変化させてなる液晶表示装置。

3. 発明の詳細な説明

H) 産業上の利用分野

本発明は液晶テレビジョン装置等の液晶表示装置に関する。

4. 従来の技術

従来、アクティブマトリクス方式の液晶パネルの駆動方法としては、例えば特公昭61-34312号公報(H04N5/66)に記載の如く、映像信号及び共通電極電位をフィールド毎に反転せしめるものがある。

以下にその方法を詳述する。

第3図はマトリクス型液晶表示装置であり、(1)はマトリクス状に配された液晶セル、(2)は各液晶セル(1)毎にその一方の電極に接続されて設けられているFET、(3)はマトリクスの各列毎にFET(2)の入力電極に共通接続された複数のX電極、(4)はマトリクスの各行毎にFET(2)のゲートに共通接続された複数のY電極である。また、(5)はY電極(4)に順次走査パルスを印加するYドライバ、(6)は映像信号をサンプリングしホールドすることにより、1ライン分の映像信号をX電極数の並列の映像信号に変換し、X電極(3)に印加するXドライバである。(7)は全ての液晶セル(1)の他方の電極に共通接続された対向電極である。

次に、上記液晶表示装置の動作について第4図と共に説明する。

第4図中、 V_b は1フィールド毎に極性反転しているビデオ信号、 V_{G1} 、 $V_{G2} \dots V_{Gn}$ は各行のY電極(4)(4)…に印加されるゲート信号、 V_{P1} $V_{P2} \dots V_{Pn}$ は各行の液晶セル(1)により保持される電圧である。FET(2)はゲート信号のハイ期間にオンとなり、このときサンプリングされたビデオ信号の電圧が液晶セル(1)に印加され、前記FET(2)がオフとなった後、1フィールド期間保持される。

しかしながら、1行目においてはゲート信号のタイミングと対向電極のスイッチングのタイミングが同期しているが、2行目以降では両者のタイミングは一致せず、電圧保持中に対向電極電位が変化するため、 V_{P2} 、 V_{Pn} 液晶セル(1)に印加される電圧の実効値が低下し、画面下部での輝度が低下してしまう欠点がある。

(イ) 発明が解決しようとする問題点

本発明は上述の点に鑑み為されたものであり、

前記分圧器(8a)は端子(VH)が+5V端子(VL)が-5Vに接続されており、抵抗(R_1)～(R_{10})間の各接続点(P1)(P2)(P3)(P4)(P5)(P6)の電圧は夫々、-2.0V、-2.1V、-3.0V、+2.0V、+2.1V、及び+3.0V、となる様に設定されている。

次に、第2図と共に本実施例装置の動作について説明する。

スイッチング信号は例えば奇数フィールド時ハイ、偶数フィールド時ローであり、奇数フィールド時はアナログスイッチ(S_1)(S_2)(S_3)がオン、偶数フィールド時はアナログスイッチ(S_4)(S_5)(S_6)がオンとなる。そして、第1行目の共通電極(4a)には奇数フィールド時、接続点(P1)、偶数フィールド時接続点(P4)が夫々接続され、振巾4.0Vp-pの電圧波形(VT1)が印加される。

更に、第2行目の共通電極(4b)には振巾4.2Vp-pの電圧波形(VT2)、第N行目の共通電極(4n)には振巾4.0Vp-pの電圧波形(V

画面上での輝度の均一化を図ることを目的とする。

(ii) 問題点を解決するための手段

本発明は対向電極に印加する電圧の振巾を列方向において順次変化させてなる。

(iii) 作用

上述の手段により、液晶セルに印加される電圧の実効値が列方向において実質的に変化しない。

(iv) 実施例

以下、図面に従い本発明の一実施例を説明する。

第1図は本実施例装置の回路図を示し第3図と同一部分には同一図番を付して説明を省略する。

本実施例における対向電極(4a)(4b)…(4n)は各行毎に複数に分割されており、各対向電極は夫々、電圧設定回路(8)に接続されている。この電圧設定回路(8)は、抵抗(R_1)～(R_{10})よりなる分圧器(8a)、フィールド毎に反転するスイッチング信号若しくはその反転信号により制御されるアナログスイッチ(S_1)～(S_6)及び前記スイッチング信号を反転するハンバータ(1NV)とで構成される。

Tn)が印加される。

従って、液晶セル(1)に印加される電圧が保持されている間に対向電極電位が変化しても、予め下の行になるほど対向電極の振巾を大きくしているため、液晶セル(1)に印加される電圧の実効値の平均が小さくならず、画面下部の輝度が低下しない。

尚、本実施例では対向電極を1行毎に対応して分割したが、数行毎に対応して分割し、分割数を減らしても良い。

(H) 発明の効果

上述の如く本発明に依れば、画面下部での輝度低下がなく、画面上での輝度が均一となるため、高画質の液晶テレビジョン装置を実現することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例における液晶表示装置の回路図、第2図はその波形図、第3図は従来の液晶表示装置の回路図、第4図はその波形図である。

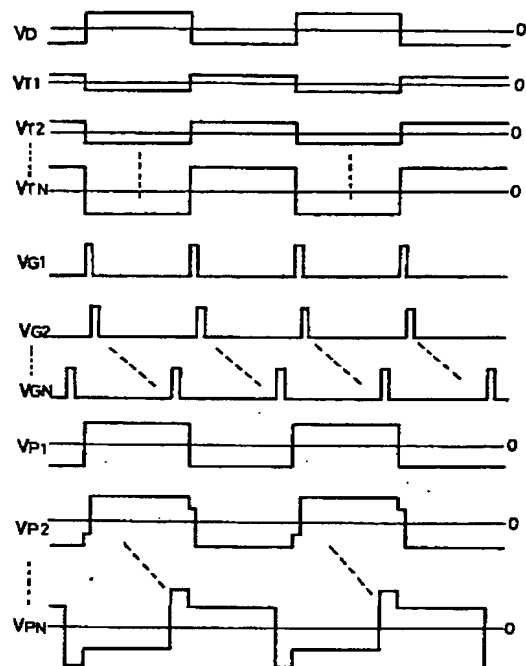
(1)…液晶セル、(2)…FET、(3)…X電極、(4)…

Y電極、(7a)(7b)(7n) …対向電極、(8) …電
圧設定回路。

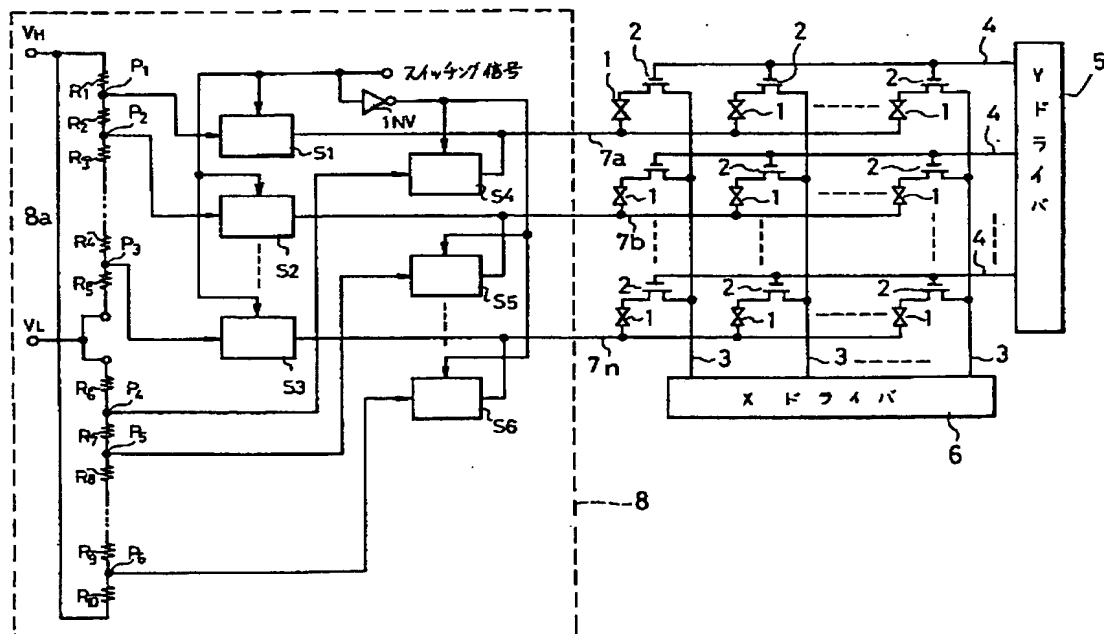
第2図

出願人 三洋電機株式会社

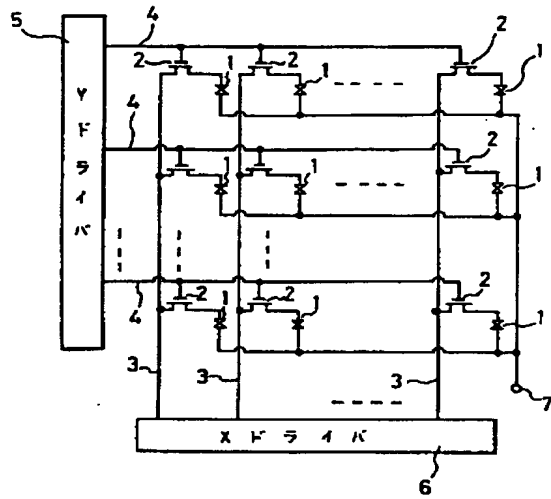
代理人 弁理士 西野 卓爾(外1名)



第1図



第3図



第4図

